



48K RAM-KAART

INTERFACE VOOR DE 6502

P. G. J. de Beer

Na enige tijd te hebben gestoeid met RAM-kaartjes van 4K en de daarbij behorende warboel van draden en verbindingen, werd het oog getroffen door de in het maartnummer en volgende van RB in 1982 gepubliceerde 48K RAM-kaart voor de 1802. Dit bood de gelegenheid in één keer het geheugenprobleem aan de hand te lossen en daarom werd de mogelijkheid bestudeerd deze kaart aan te passen voor de 6502-processor. Door op de oorspronkelijke print een aantal IC's weg te laten en een kleine interface toe te voegen op de vrijgekomen plaats heeft u voor uw 6502-systeem de beschikking over 48K RAM; een hele rijkdom.

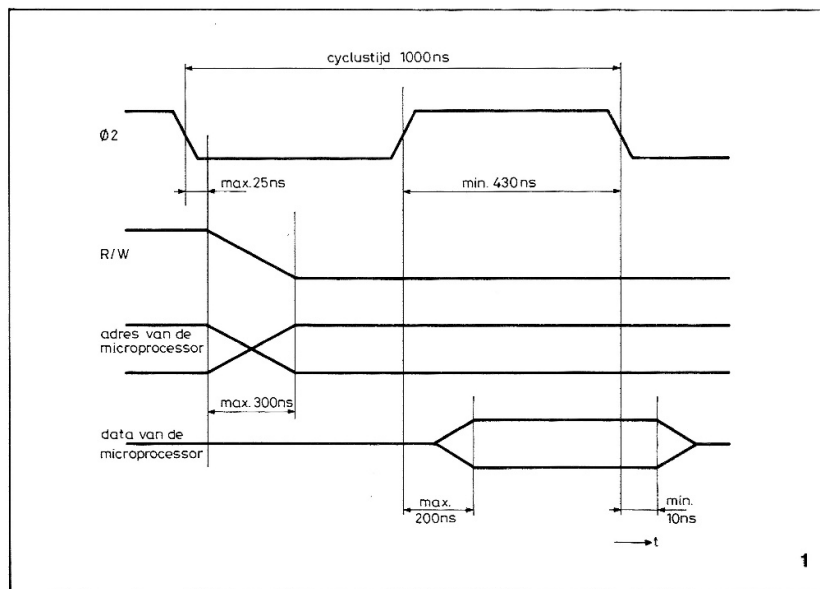


Abb. 1 Overzicht van de signalen binnen een 6502-systeem.

Opzet

Aan de aanpassing werden de volgende eisen gesteld:

1. De schakeling mag de werking van de 6502 niet vertragen, ofwel de microprocessor mag van het dynamische (refresh) van het geheugen niets merken.
2. Voor de interface moeten zo weinig mogelijk signalen van de processor worden

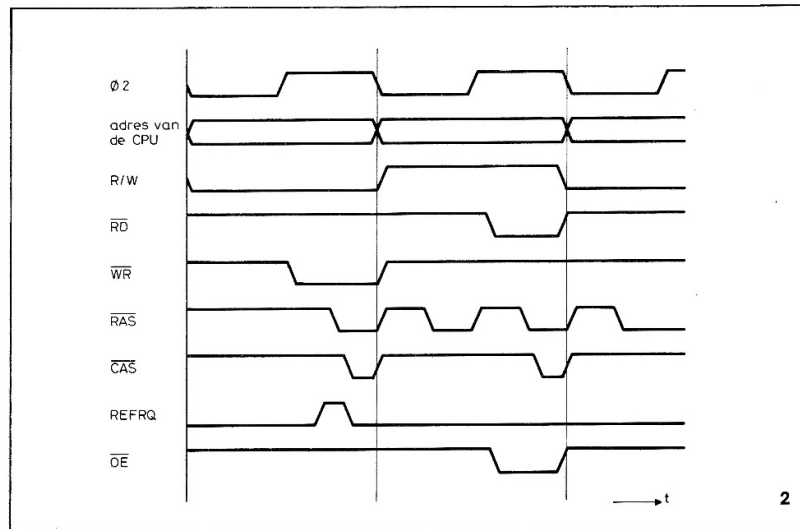
gebruikt.

3. De interface moet zo universeel mogelijk zijn.

4. De geheugenruimte van 48K moet naar wens in de totale geheugenruimte kunnen worden ondergebracht.

5. De rest van het computersysteem dient ongewijzigd te blijven.

Aan al deze wensen is in dit ontwerp min of meer voldaan.



Abd. 2 Overzicht van de signalen bij een verborgen refresh.

Verborgene refresh

De eerste eis aan de RAM-kaart is dat de processor er niet extra door mag worden belast. Toch moet een dynamisch geheugen periodiek worden verfrist. Om hiervoor geen extra tijd te verlangen van de processor wordt gebruik gemaakt van een zogenoemde „hidden refresh”. Zoals uit abd. 1 blijkt, maakt de 6502-microprocessor slechts gedurende de laatste halve periode van de klokcyclus gebruik van de databus. Dit biedt de dynamische RAM-controller de gelegenheid in de eerste halve periode het geheugen te verfrissen. Voor de werking van de dynamische RAM-controller en de RAM-geheugens zal u worden verwezen naar de serie artikelen in RB, maart, april en mei 1982, van de heer H. B. Stuurman. Om twee geheugentoeegangen te kunnen realiseren binnen één processorcyclus moet een volledige toegang binnen 500 ns kunnen worden aangehandeld. De klokfrequentie van de RAM-controller is daarom verhoogd tot de maximaal gegarandeerde frequentie van 25 MHz. Een geheugencyclus van de controller duurt dan maximaal 480 ns. Hiermee is het mogelijk om zowel een normale lees- of schrijfactie als een refresh-actie binnen één processorcyclus uit te voeren. Bij iedere lees- of schrijfactie zou nu dus tevens het geheugen kunnen worden verfrist, doch dit heeft een onnodig grote dissipatie in zowel de controller als de geheugen-IC's tot gevolg. Het maximale interval tussen twee verfrissingen van één geheugencel van de 4116 bedraagt 2 ms. Omdat per rij wordt verfrist en er daarvan 128 aanwezig zijn, is de

herhalingsdijd maximaal 15,625 μ s tussen refresh-acties. Met een processorcyclustijd van 1 μ s zou dus vijftienmaal zoveel worden verfrist als strikt nodig is. Er is daarom gekozen voor een tiendeler, waardoor elke 10 μ s een rij wordt verfrist. Een overzicht van de signaalvormen vindt u in afb. 2.

Stuursignalen

Een tussenoplossing voor het minder frequent verfrissen was de toepassing van het Sync-sigitaal, afkomstig van de 6502. Telkens wanneer de volgende instructie uit het geheugen wordt gehaald (Fetch), gaat de Sync-uitgang naar hoog gedurende een volledige processorcyclus. Tussen twee Sync-pulsen bevinden zich een aantal processorcyclussen, variërend van 1 tot 12. Het refresh-tempo komt zo wel lager te liggen, maar niet voldoende. Bovendien is een extra signaallijn van de processor nodig en bezitten bijvoorbeeld de 6800 en 6809 geen Sync-uitgang. Voor de uiteindelijk gekozen oplossing zijn alleen de processorklok en Read/Write nodig. Deze signalen zijn bij vele processoren wel voorhanden.

Interface

De interface is zo universeel mogelijk gehouden. Er zijn geen monostabiele multivibratoren en dergelijke gebruikt. De synchronisatie verloopt via de stuursignalen RD-niet, WR-niet, PCS-niet en REFRQ. De toegangstijd tot het geheugen ligt vast door de klokfrequentie van 25 MHz van de controller en is geschikt voor 4116's van 200 ns en sneller. De reeds op de oorspronkelijke print aanwezige latches houden de data vast op de databus, totdat de processor deze heeft gelezen.

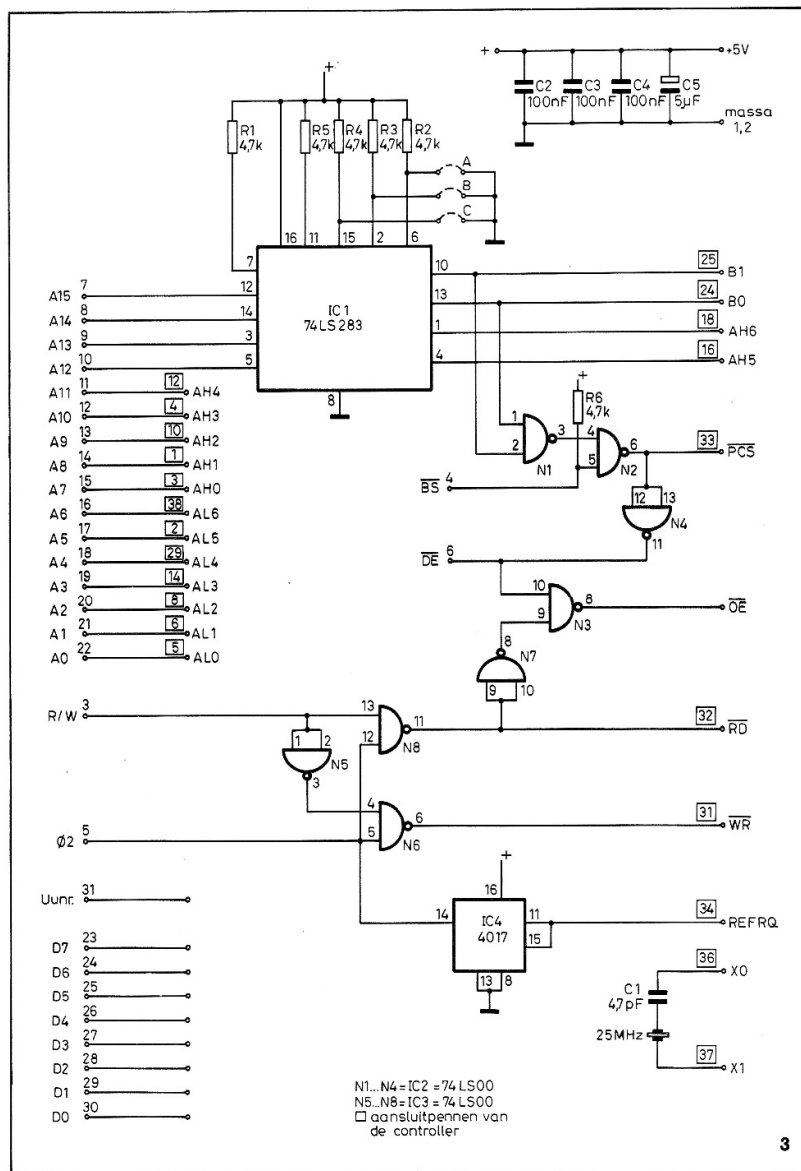
Geheugentoeijzing

De meeste processoren van 8 bit hebben een adresruimte van 64K. De op de RAM-kaart aanwezige 48K kan hierin op verschillende manieren worden aangebracht. Sommige systemen hebben de ROM met het monitorprogramma boven in het geheugengebied, anderen onderin. Daar het RAM-gebied op verschillende manieren moet kunnen worden toegewezen, kan het beginadres in stappen van 1K worden gelegd van adres \$0000 tot en met \$4000. De omschakeling geschiedt door middel van drie draadbruggen (A, B en C) op de interface-print.

Systeemopzet

De interface bezit twee signaallijnen die voor een microprocessorsysteem van belang kunnen zijn. Dit zijn de „Decode Enable“-lijn (DE) en de „Bank Select“-lijn (BS). Het DE-niet-sigitaal geeft aan wanneer de RAM-kaart daadwerkelijk wordt geadresseerd. Met deze lijn kunnen andere geheugengebieden als monitor-ROM, systeem-RAM en randapparaten worden uitgeschakeld. Door middel van de BS-niet-lijn kan de RAM-kaart zelf worden uitgeschakeld. Het is aldus mogelijk in hetzelfde logische adresgebied meerdere geheugenbanken aan te brengen. Door middel van de BS-niet-lijnen kan daaruit een keuze worden gedaan. Met behulp van deze beide signalen is het mogelijk

de RAM-kaart aan elk willekeurig systeem toe te voegen zonder dat daarin ingrijpend behoeft te worden veranderd.



Ab. 3 Schema van de interface voor de 48K RAM-kaart.

Schakeling

De interface is volgens het principieschema van ab. 3 samengesteld uit een adresdecodering- en selectiegedeelte (IC1 en -2), een lees- en schrijfgedeelte (IC3) en een refresh-gedeelte (IC4). IC1 (74LS283) is een optel-IC. Op de a-ingangen zijn de adreslijnen A12 tot en met A15 aangesloten en op de b-ingangen een te selecteren vaste binaire waarde. De ingaande „carry" (pen 7) is via een weerstand met de plus verbonden. Dit doet direct denken aan de logische voorbereiding voor het van elkaar aftrekken van twee binaire getallen en dat is ook zo. Een van de eisen was de flexibele inpassing van de 48K in de beschikbare ruimte. De adressen binnen de RAM-kaart zelf

liggen natuurlijk vast. Er moet een bepaalde waarde bij het door de processor aangeboden adres worden opgeteld of ervan worden afgetrokken om het juiste logische adres te verkrijgen. Men wil de RAM-kaart bijvoorbeeld laten beginnen bij adres \$2000. Wanneer de processor het adres \$2000 aanbiedt, zal dus adres \$0000 binnen de RAM-kaart moeten worden aangesproken. Er moet dus een vaste waarde \$2000 van alle adressen worden afgetrokken. Dit kan worden bereikt door het optellen van een negatief getal. Het tweecomplement van een getal is gelijk aan de inverse van dat getal plus één. De „plus één" wordt gerealiseerd door de ingaande „carry" hoog te maken. De inverse van het getal wordt verkregen door de ingangen naar wens aan massa te leggen, terwijl ze normaal hoog zijn. Op de print zijn slechts drie draadbruggen in plaats van vier, daar de zinvolle combinaties liggen van 0 tot en met 4 (zie de beginadressen). De uitgangen van IC1 vormen de twee adreslijnen AH5 en AH6 en de bankselectielijnen B0 en B1 voor de controller. Hoewel de controller een geheugengebied van 64K kan besturen, is slechts voorzien in 48K, ofwel de onderste drie banken van elk 16K. Alleen adressen in dit gebied moeten de controller selecteren. In de andere gevallen mag de controller geen actie ondernemen, daar waarschijnlijk andere geheugens of randapparaten worden geselecteerd. Door N1 en N2 wordt een selectiesignaal verkregen dat aan de verlangens voldoet. Met de tweede ingang van N2 kan ervoor worden gezorgd dat de selectie toch niet plaats vindt. De RAM-kaart kan hiermee worden uitgeschakeld. De inverse van PCS-niet is DE-niet. Deze uitgang dient om eventuele andere in het systeem aanwezige decodeerlogica uit te schakelen wanneer de RAM-kaart wordt geselecteerd. De latches in de databus worden bestuurd door het signaal OE-niet. Dit signaal is alleen actief wanneer de RAM-kaart wordt geselecteerd voor een leesactie. De controller heeft een gescheiden Read- en Write-ingang. De 6502 heeft een gecombineerde R/W-uitgang. Daar lees- en schrijfacties voor de RAM-kaart pas kunnen worden afgehandeld in de tweede helft van de klokcyclus van de processor, is het niet zo moeilijk een apart Read- en Write-signaal te genereren. N5, N6 en N8 verzorgen dat. IC4 dient ervoor om elke tiende processorcyclus een refreshactie op te wekken. Er is gekozen voor een CMOS-IC, omdat deze traag is. De ingaande Ø2-klokpulsen zorgen ervoor dat telkens een volgende uitgang gedurende een volledige processorcyclus hoog wordt. Uitgang 10 is verbonden met de resetingang van de teller. Wanneer deze uitgang aan de beurt is om naar hoog te gaan, zal direct de teller worden gereset. Door de bij CMOS nogal grote propagatievertraging ontstaat op deze uitgang toch nog een positieve puls van ca. 150 ns. Op de REFRQ-ingang verschijnt deze puls bovendien ca. 200 ns na de overgang van Ø2, waardoor problemen met de „arbiter" worden voorkomen.

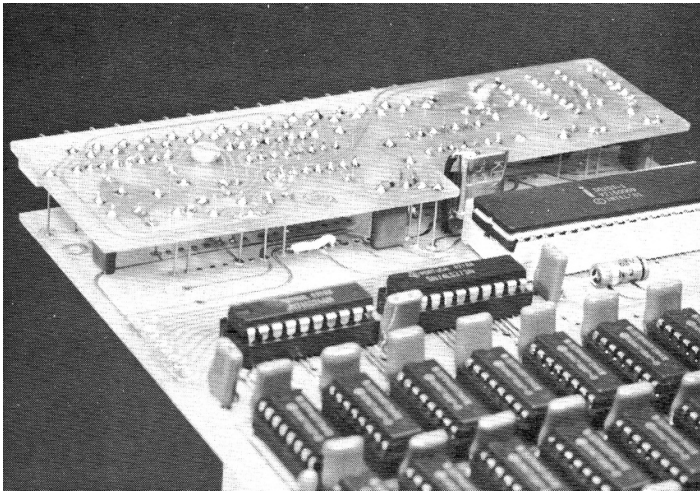
-6, -7 en -8, alsmede C13, C15, C17 en D1 worden achterwege gelaten. Als laatste wordt de controller aangebracht. Dit mag een 8202A, maar ook een „8203 versie 1", zijn. De laatste is een nieuwere versie, welke geschikt is gemaakt voor 64K-RAM-IC's, doch kan zonder extra voorzieningen in plaats van de 8202A worden gebruikt. De desbetreffende selectiepen moet hoog zijn om de 8203-1 te configureren voor 16K-RAM-IC's, zoals de 4116. Vervolgens worden de twee draadbruggen aangebracht en wordt het kristal van 25 MHz geplaatst. Dit moet een type zijn met een grondfrequentie van 25 MHz en mag geen zogenoemd „overtoon" (derde harmonische) type zijn. Het huis wordt via een draadje met massa verbonden. Dan kan worden begonnen met de interface. De componenten worden gemonteerd, zoals aangegeven in [afb. 6](#). Eerst de weerstanden, dan de voetjes en de connector en als laatste de condensatoren. Door het aanbrengen van de draadbruggen A, B en/of C wordt het gewenste beginadres van de RAM-kaart geselecteerd, zie tabel 1. Na het insteken van de IC's (let daarbij op de juiste stand), ziet het printje eruit zoals weergegeven in [afb. 7](#). Door middel van twee afstandsbuisjes van ca. 12 mm lengte wordt het interfaceprintje met de componenten naar beneden op de RAM-kaart bevestigd door middel van twee boutjes. Als alles goed is gegaan, moeten nu alle opengebleven gaten in het interfaceprintje zich precies boven gaten in de RAM-kaart bevinden. In alle aangegeven gaten ([afb. 6](#)) van de interface-print worden nu blanke stukjes draad gestoken, zo dat zij aan de onderzijde van de RAM-kaart uitsteken. Beide zijden worden vast gesoldeerd. Het resultaat hiervan ziet u in [afb. 8](#).

Een opmerking over de aansluiting van de voeding. Wanneer u gebruik maakt van een ongestabiliseerde spanning voor de RAM-kaart, dan kan deze via pen 31 van de interface-connector worden toegevoerd. Heeft u echter reeds de beschikking over een gestabiliseerde spanning van +12 V dan kan deze via dezelfde pen worden toegevoerd, doch dan wordt de spanningsregelaar voor 12 V op de RAM-kaart vervangen door een doorverbinding van in naar uit.

Tabel 1 – Overzicht van de draadbrugaansluitingen voor de gewenste beginadressen.

Beginadres	Draadbrug A B C		
\$0000	niet	niet	niet
\$1000	wel	niet	niet
\$2000	niet	wel	niet
\$3000	wel	wel	niet
\$4000	niet	niet	wel

Aansluiten



De aansluitingen van de RAM-kaart verlopen nu via de 31-polige connector op het interfaceprintje. Alle adres- en datalijnen, alsmede R/W en $\overline{CS}$, moeten met de processorkaart worden verbonden. De RAM-kaart is volledig gebufferd en vertegenwoordigt slechts een geringe belasting voor het processorsysteem. De

voedingsspanningslijn en een stevige massadraad worden aangesloten. De DE-niet-uitgang van de interfaceprint wordt verbonden met de selectie-ingang van de rest van het systeem. De BS-niet-ingang kan worden verbonden met een PIA-uitgang, zodat de RAM-kaart via software kan worden aan- en uitgeschakeld. Na het aanschakelen van de voeding moet het LED'je op de RAM-kaart oplichten ten teken dat de voedingsspanning van 5 V aanwezig is. Door nu te schrijven en te lezen in geheugenlocaties, welke in het gebied van de RAM-kaart liggen, kan worden gecontroleerd of alles naar behoren werkt. Ten slotte is een geheugentest van een aantal uren op zijn plaats om van de juiste werking, ook op langere termijn, te zijn verzekerd.